

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月15日

出 願 番 号

Application Number:

特願2003-006965

[ST.10/C]:

[JP2003-006965]

出 願 人

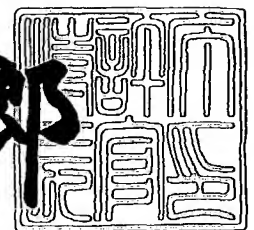
Applicant(s):

沖電気工業株式会社

2003年 5月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3039741

【書類名】 特許願

【整理番号】 TA000194

【提出日】 平成15年 1月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78
H01L 21/336

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 加藤 且宏

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100079049

【弁理士】

【氏名又は名称】 中島 淳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100084995

【弁理士】

【氏名又は名称】 加藤 和詳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100085279

【弁理士】

【氏名又は名称】 西元 勝一

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100099025

【弁理士】

【氏名又は名称】 福田 浩志

【電話番号】 03-3357-5171

【手数料の表示】

【予納台帳番号】 006839

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9714945

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 複数の電源系を有し、第1の電源系に属すると共に第2の回路へ信号を出力するための第1のトランジスタを含む第1の回路と、第2の電源系に属すると共に前記第1の電源系に属する前記第1の回路の信号をゲート入力信号として受け取る第2のトランジスタを含む第2の回路と、を含んで構成される半導体装置であって、

前記第1の回路を構成する第1のトランジスタは、ソース及びドレインとしての不純物拡散層上に、当該不純物拡散層と金属配線とを接続するコンタクトホール周辺にシリコン及び金属を含んで構成される化合物層が設けられると共に、当該コンタクトホールからゲートまでの間にシリコン及び金属の化合物層の非形成領域が設けられること特徴とする半導体装置。

【請求項2】 前記第1の回路を構成する第1のトランジスタは、直列に接続された同一種の複数のトランジスタを含んで構成され、それら複数のトランジスタのうち少なくとも一つは、ソース及びドレインとしての不純物拡散層上に、当該不純物拡散層と金属配線とを接続するコンタクトホール周辺にシリコン及び金属を含んで構成される化合物層が設けられると共に、当該コンタクトホールからゲートまでの間にシリコン及び金属の化合物層の非形成領域が設けられること特徴とする請求項1に記載の半導体装置。

【請求項3】 前記第1の回路を構成する第1のトランジスタは、直列に接続された同一種の複数のトランジスタを含んで構成されると共に、それら複数のトランジスタのうち少なくとも一つは、当該不純物拡散層上に、ソース及びドレインとしての不純物拡散層と金属配線とを接続するコンタクトホール周辺にシリコン及び金属を含んで構成される化合物層が設けられると共に、当該コンタクトホールからゲートまでの間にシリコン及び金属の化合物層の非形成領域が設けられ、且つゲートを前記第1の電源系に常時オン状態の電位となるように接続されることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記第1の回路を構成する第1のトランジスタは、直列に接

続された異種の複数のトランジスタを含んで構成されると共に、それら複数のトランジスタのうち回路動作に寄与しない少なくとも一つは、ソース及びドレインとしての不純物拡散層上に、当該不純物拡散層と金属配線とを接続するコンタクトホール周辺にシリコン及び金属を含んで構成される化合物層が設けられると共に、当該コンタクトホールからゲートまでの間にシリコン及び金属の化合物層の非形成領域が設けられ、且つゲートを前記第1の電源系に常時オン状態の電位となるように接続されることを特徴とする請求項1に記載の半導体装置。

【請求項5】 さらに、保護トランジスタを含むと共に、前記複数の電源系と接続される保護回路が設けられることを特徴とする請求項1に記載の半導体装置。

【請求項6】 複数の電源系を有し、第1の電源系に属すると共に第2の回路へ信号を出力するための第1のトランジスタを含む第1の回路と、第2の電源系に属すると共に前記第1の電源系に属する前記第1の回路の信号をゲート入力信号として受け取る第2のトランジスタを含む第2の回路と、を含んで構成される半導体装置であって、

前記第2の回路を構成する第2のトランジスタは、ソース及びドレインとしての不純物拡散層上に、当該不純物拡散層と金属配線とを接続するコンタクトホール周辺にシリコン及び金属を含んで構成される化合物層が設けられると共に、当該コンタクトホールからゲートまでの間にシリコン及び金属の化合物層の非形成領域が設けられること特徴とする半導体装置。

【請求項7】 前記第2の回路を構成する第2のトランジスタは、直列に接続された同一種の複数のトランジスタを含んで構成され、それら複数のトランジスタのうち少なくとも一つは、ソース及びドレインとしての不純物拡散層上に、当該不純物拡散層と金属配線とを接続するコンタクトホール周辺にシリコン及び金属を含んで構成される化合物層が設けられると共に、当該コンタクトホールからゲートまでの間にシリコン及び金属の化合物層の非形成領域が設けられること特徴とする請求項6に記載の半導体装置。

【請求項8】 前記第2の回路を構成する第2のトランジスタは、直列に接続された同一種の複数のトランジスタを含んで構成されると共に、それら複数の

トランジスタのうち少なくとも一つは、当該不純物拡散層上に、ソース及びドレインとしての不純物拡散層と金属配線とを接続するコンタクトホール周辺にシリコン及び金属を含んで構成される化合物層が設けられると共に、当該コンタクトホールからゲートまでの間にシリコン及び金属の化合物層の非形成領域が設けられ、且つゲートを前記第 2 の電源系に常時オン状態の電位となるように接続されることを特徴とする請求項 6 に記載の半導体装置。

【請求項 9】 前記第 2 の回路を構成する第 2 のトランジスタは、直列に接続された異種の複数のトランジスタを含んで構成されると共に、それら複数のトランジスタのうち回路動作に寄与しない少なくとも一つは、ソース及びドレインとしての不純物拡散層上に、当該不純物拡散層と金属配線とを接続するコンタクトホール周辺にシリコン及び金属を含んで構成される化合物層が設けられると共に、当該コンタクトホールからゲートまでの間にシリコン及び金属の化合物層の非形成領域が設けられ、且つゲートを前記第 2 の電源系に常時オン状態の電位となるように接続されることを特徴とする請求項 6 に記載の半導体装置。

【請求項 10】 さらに、保護トランジスタを含むと共に、前記複数の電源系と接続される保護回路が設けられることを特徴とする請求項 6 に記載の半導体装置。

【請求項 11】 複数の電源系を有し、第 1 の電源系に属すると共に第 2 の回路へ信号を出力するための第 1 のトランジスタを含む第 1 の回路と、第 2 の電源系に属すると共に前記第 1 の電源系に属する前記第 1 の回路の信号をゲート入力信号として受け取る第 2 のトランジスタを含む第 2 の回路と、を含んで構成される半導体装置であって、

前記第 1 及び 2 の回路を構成する第 1 及び 2 のトランジスタは、ソース及びドレインとしての不純物拡散層上に、当該不純物拡散層と金属配線とを接続するコンタクトホール周辺にシリコン及び金属を含んで構成される化合物層が設けられると共に、当該コンタクトホールからゲートまでの間にシリコン及び金属の化合物層の非形成領域が設けられること特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、レベルシフタ回路などの、複数の電源系を有し、一方の電源系に属する回路から出力された信号を、異なる電源系に属する回路の入力信号として受け取る構成の回路を含む半導体装置、詳しくは、回路を構成するトランジスタとして、不純物拡散層の寄生抵抗を下げるためにシリコンと金属の化合物層（以下、サリサイド層と記す）を不純物拡散層の表面に形成する、いわゆるサリサイド構造を採用したトランジスタを用いた半導体装置に関する。

【0002】

【従来の技術】

近年、複数の電源系統を有する半導体装置が主流になっている。例えば、各種表示装置を駆動するドライバLSI（Large Scale Integrated Circuit）では、消費電力を低減させるために、制御系を低電圧（例えば3V）で駆動し、表示装置への出力電圧には、数10Vの高電圧を供給して、表示品質（コントラスト）を保護するような構成となっている。また、一般的にシステムLSIと呼ばれる半導体装置でも、論理回路を低電圧（例えば3V）で駆動し、出力電圧には制御対象となる半導体装置に必要な電圧（例えば5V）を供給出来るような構成になっている。この種の半導体装置には、複数の電源系統が存在し、一方の電源系に属する回路から出力された信号を、異なる電源系に属する回路の入力信号として受け取る構成の回路が含まれている。

【0003】

このような、複数の電源系統を有する半導体装置（例えば、レベルシフタ回路など、一方の電源系に属する回路から出力された信号を、異なる電源系に属する回路の入力信号として受け取る構成の回路を含む半導体装置）においても、一般的な半導体装置と同様に、静電破壊（ESD）などから動作回路を保護するために、保護回路が設けられるのが通常である。

【0004】

近年、この保護回路を構成する保護トランジスタには、デバイスのクロック周波数が高速化し、寄生抵抗を出来るだけ抑えるようにソース／ドレイン上にサリサイド層を形成する構造、いわゆるサリサイド構造のトランジスタが主流になっ

てきているが、このシリサイド構造のトランジスタは低抵抗であり、静電気サージによって容易に破壊されてしまうといった問題がある。このため、保護トランジスタが静電気サージによって容易に破壊されないように高抵抗化するため、例えば、USP 5021853には、保護回路を構成するトランジスタとして、選択的に低抵抗のシリサイド層を形成しない構造のトランジスタを作製する方法が開示されている。また、特開平9-023005号公報には、高抵抗の Ti_xN_y Si層（ミキシング層）を設けた構成のトランジスタが開示されている。

【0005】

【特許文献1】

USP 5021853

【特許文献2】

特開平9-023005号公報

【0006】

【発明が解決しようとする課題】

しかしながら、高抵抗化した保護トランジスタで構成される保護回路を使用することは、電源から侵入した静電気サージ電圧が動作回路を伝わり易くなっている一方で、保護回路に静電気サージが伝わり難くなることを意味しており、従来は有効だった保護回路では役に立たなくなることを示している。

【0007】

従って、本発明は、複数の電源系統を有する半導体装置において、一方の電源系に属する回路から出力された信号を、異なる電源系に属する回路の入力信号として受け取る構成の回路のインターフェース用トランジスタのゲート酸化膜の静電気サージによる破壊を防止した半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記課題は、以下の手段により解決される。即ち、

本発明の半導体装置は、複数の電源系を有し、第1の電源系に属すると共に第2の回路へ信号を出力するための第1のトランジスタを含む第1の回路と、第2の電源系に属すると共に前記第1の電源系に属する前記第1の回路の信号をゲー

ト入力信号として受け取る第2のトランジスタを含む第2の回路と、を含んで構成される半導体装置であって、

前記第1の回路を構成する第1のトランジスタ及び／又は前記第2の回路を構成する第2のトランジスタは、ソース及びドレインとしての不純物拡散層上に、当該不純物拡散層と金属配線とを接続するコンタクトホール周辺にシリコン及び金属を含んで構成される化合物層が設けられると共に、当該コンタクトホールからゲートまでの間にシリコン及び金属の化合物層の非形成領域が設けられること特徴としている。

【0009】

本発明の半導体装置は、例えばレベルシフト回路などの、複数の電源系を有し、一方の電源系に属する回路から出力された信号を、異なる電源系に属する回路の入力信号として受け取る構成の回路を含む半導体装置であり、この動作回路に用いられるインターフェイス用トランジスタとして、静電気サージが流れ難いサリサイド構造のトランジスタ、即ち、ソース及びドレインとしての不純物拡散層上に、当該不純物拡散層と金属配線とを接続するコンタクトホール周辺にシリコン及び金属を含んで構成される化合物層（サリサイド層）が設けられると共に、当該コンタクトホールからゲートまでの間にシリコン及び金属の化合物層の非形成領域が設けられた、高抵抗のトランジスタを用いることで、静電気サージを流れ難くして、インターフェイス用トランジスタのゲート酸化膜の静電気サージによる破壊を防止する。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。なお、実質的に同様の機能を有するものには、全図面通して同じ符号を付して説明し、場合によってはその説明を省略することがある。

【0011】

（第1の実施の形態）

図1は、第1の実施の形態に係る半導体装置を構成するレベルシフト回路を示す回路図である。第1の実施の形態に係る半導体装置を構成するレベルシフト回

路におけるトランジスタを示す平面図である。図3は、第1の実施の形態に係る半導体装置のレベルシフト回路における他のトランジスタを示す平面図である。

【0012】

本実施形態は、図1に示すようにレベルシフト回路であり、電源VDD-Aに属する出力回路（第1の回路）と、電源VDD-Bに属する入力回路（第2の回路）と、保護回路と、を含み、電源VDD-Aに属する出力回路から出力された信号を、電源VDD-Bに属する入力回路の入力信号として受け取る構成である。

【0013】

出力回路は、電源線3と接地線1aとの間に、直列に接続されたPチャンネルMOS (Metal-Oxide-Semiconductor、以下、PMOSという) トランジスタTr1（第1のトランジスタ）及びNチャンネルMOS (Metal-Oxide-Semiconductor、以下、NMOSという) トランジスタTr5（第1のトランジスタ）と、直列に接続されたPMOS トランジスタTr2（第1のトランジスタ）及びNMOS トランジスタTr6（第1のトランジスタ）と、が並列して接続されている。PMOS トランジスタTr1のドレインとNMOS トランジスタTr5のドレインは短絡され、PMOS トランジスタTr2及びNMOS トランジスタTr6のゲートへと接続すると共に、入力回路を構成するNMOS トランジスタTr8のゲートへと接続されている。また、PMOS トランジスタTr2のドレインとNMOS トランジスタTr6のドレインは短絡され、入力回路を構成するNMOS トランジスタTr7のゲートへと接続されている。

【0014】

入力回路は、電源線4と接地線2aとの間に、直列に接続されたPMOS トランジスタTr3及びNMOS トランジスタTr7と、直列に接続されたPMOS トランジスタTr4及びNMOS トランジスタTr8と、直列に接続されたPMOS トランジスタTr20及びNMOS トランジスタTr21と、が並列して接続されている。PMOS トランジスタTr4のドレインとNMOS トランジスタTr8のドレインは短絡され、PMOS トランジスタTr3のゲートへと接続さ

れると共に、PMOSトランジスタTr20及びNMOSトランジスタTr21のゲートへと接続されている。PMOSトランジスタTr3のドレインとNMOSトランジスタTr7のドレインは短絡され、PMOSトランジスタTr4のゲートへと接続されている。

【0015】

保護回路は、P型基板とN型well間に寄生的に形成されると共に出力回路の電源線3と接地線1aとの間に接続されるpn接合ダイオードD1と、P型基板とN型well間に寄生的に形成されると共に入力回路の電源線4と接地線2aとの間に接続されるpn接合ダイオードD2と、基板抵抗R1から構成されている。また、保護回路は、接地端子GND-A及び接地端子GND-Bの間に接続される配線抵抗R2、保護トランジスタTr9及び配線抵抗R3と、電源VDD-A及び接地端子GND-Aの間に接続される保護トランジスタTr10と、電源VDD-B及び接地端子GND-Bの間に接続される保護トランジスタTr11と、から構成されている。

【0016】

このようなレベルシフト回路においては、通常、電源VDD-Aと接地端子GND-Bとの間に静電気サージが印加された場合、PN接合ダイオードD1が大きく、基板抵抗R1が小さければ、電源VDD-Aから侵入した静電気サージはPN接合ダイオードD1と基板抵抗R1を介して接地端子GND-Bに到達して消滅する。しかし、PN接合ダイオードD1と基板抵抗R1で構成される保護回路は、その保護性能が製品ごとにまちまちで、安定的な保護効果を期待できないという問題がある。静電気サージを効果的に電源VDD-Aから接地端子GND-Bに伝達するが、PN接合ダイオードD1は内部回路の規模に左右され、基板抵抗R1はレイアウトの影響を受け易いため、製品ごとに保護性能が変わってしまうのが現状である。

【0017】

このため、PN接合ダイオードD1が小さく、基板抵抗R1が大きい場合（即ち保護回路が十分に機能しない場合）、電源VDD-Aから侵入した静電気サージ電圧は、トランジスタTr2を介してトランジスタTr7のゲート（A点）に

伝えられ、接地端子GND-Bに接続されているB点との間の電位差がゲート酸化膜の絶縁耐圧を越えた時点で、トランジスタTr7のゲート酸化膜が破壊されてしまう。回路構成が同じなので、トランジスタTr1を介してトランジスタTr8のゲート酸化膜が破壊される場合もある。また、接地端子GND-Aと電源VDD-Bとの間に静電気サージが印加されるケースでは、出力回路を構成するトランジスタTr6（或いはトランジスタTr5）と入力回路を構成するトランジスタTr3（或いはトランジスタTr4）をそれぞれ経由して、トランジスタTr7（或いはトランジスタTr8）のゲートにサージ電圧が掛かるため、ゲート酸化膜破壊を招き易いといった問題がある。

【0018】

一方、保護回路が十分に機能しない場合でも、電源VDD-Aから侵入した静電気サージは、保護トランジスタTr10を介して一旦接地端子GND-Aへ到達し、その後、保護トランジスタTr9を介して接地端子GND-Bへ到達して消滅する。このとき、この回路で設置される保護トランジスタTr9は、レベルシフタが直接繋がっている接地線1a, 2aとは異なる接地端子GND-Aと接地端子GND-Bとの間を接続する接地線1b, 2b間に設けられるのが一般的である。これは半導体装置のチップ上に無数に配置されたレベルシフタ群を1つないし数個の保護トランジスタTr9で保護するためであり、一般には接地端子GND-Aのパッドや接地端子GND-Bのパッドの近傍に設置される。そのため、配線抵抗R2又はR3が大きくなる位置に配置されたレベルシフタに対しては、保護トランジスタTr9を経由して接地端子GND-Aから接地端子GND-Bへサージ電流が到達するのに時間が掛かり、この間にトランジスタTr7や保護トランジスタTr8のゲート酸化膜破壊が発生してしまう問題が残される。

【0019】

さらに、上述のように、保護トランジスタTr9や保護トランジスタTr10, 11が静電気サージによって容易には破壊されないように、保護トランジスタTr9, Tr10, Tr11を、図2に示すように、ソース及びドレインとしての不純物拡散層106におけるコンタクトホール108近傍にサリサイド層110を形成すると共に、ゲート112とコンタクトホール108との間にサリサイ

ド層110を形成しない（P型或いはN型不純物拡散層のままの）サリサイド層非形成領域114を設けた構成（但し、保護トランジスタTr9は、図2に示す全面にサリサイド層を形成した構成でもよい。）、即ちサリサイド層部分形成構造のトランジスタとすると、保護トランジスタTr10と保護トランジスタTr9を介しては静電気サージが伝わり難くなり、静電気サージがTr7のゲート（A点）に伝えられやすく、動作回路を構成するトランジスタのゲート酸化膜が破壊されやすくなっている。

【0020】

そこで、本実施形態では、図2に示すように、出力回路を構成するPMOSTランジスタTr1、Tr2、及びNMOSTランジスタTr5、Tr6と、入力回路を構成するPMOSTランジスタTr3、Tr4、及びNMOSTランジスタTr7、Tr8とにも、ソース及びドレインとしての不純物拡散層106におけるコンタクトホール108近傍にサリサイド層110を形成すると共に、ゲート112とコンタクトホール108との間にサリサイド層110を形成しない（P型或いはN型不純物拡散層のままの）サリサイド層非形成領域114を設けた構成とする。

【0021】

一方、図3に示すように、入力回路を構成するトランジスタTr20、21は、ソース及びドレインとしての不純物拡散層（図2中図示しない）におけるゲート112とコンタクトホール108との間の全面にサリサイド層110を形成する。

【0022】

このように、トランジスタは、ソース及びドレインとしての不純物拡散層におけるゲートとコンタクトホールとの間の全面にサリサイド層を全面に形成すると、サージ電流が急激に流れてトランジスタが破壊され易くなり、一方、ゲートとコンタクトホールの上に不純物拡散層のままの領域（サリサイド層非形成領域）を設けると、金属配線が接続されるコンタクトホール周辺のみにはサリサイド層を形成して低抵抗化しつつ、サージ電流を適度に制限できるので、トランジスタ自身の静電破壊耐性は向上する。

【0023】

このため、例えば、電源VDD-Aから侵入した静電気サージが、出力回路を構成するトランジスタTr2又はTr1を介し、それぞれの信号ラインを経由して、入力回路のNMOSTランジスタTr7又はTr8へと伝播する際に、PMOSTランジスタTr2及びTr1のソース及びドレイン上のサリサイド層が除去されているので、サリサイド層非形成領域が高抵抗となり、サージ電圧がNMOSTランジスタTr7又はTr8のゲートへと伝わり難くなる。一方、入力回路のNMOSTランジスタTr7及びTr8のソース及びドレイン上のサリサイド層も除去されているので、サリサイド層非形成領域が高抵抗となり、NMOSTランジスタTr7及びTr8のゲートとソース或いはゲートとドレインとの間にサージ電圧が掛かるのを緩和する。

【0024】

また、例えば、接地端子GND-Aから侵入した静電気サージに対しても、NMOSTランジスタTr5又はNMOSTランジスタTr6を介し、それぞれの信号ラインを経由して、入力回路側のNMOSTランジスタTr7又はNMOSTランジスタTr8へと伝播する際に、NMOSTランジスタTr5及びNMOSTランジスタTr6のソース及びドレイン上のサリサイド層が除去されているので、サリサイド層非形成領域が高抵抗となり、サージ電圧がNMOSTランジスタTr7又はNMOSTランジスタTr8のゲートへと伝わり難くなる。

【0025】

更に、例えば、接地端子GND-Aから電源VDD-Bに抜けるルートに当たるPMOSTランジスタTr3及びTr4のソース及びドレイン上のサリサイド層が除去されているので、サージ電圧が抜け難くなり、結果として、NMOSTランジスタTr7及びTr8のゲートとソース或いはゲートとドレイン間にサージ電圧が掛かるのを緩和する。

【0026】

従って、本実施の形態では、出力回路側のPMOSTランジスタTr1, Tr2及びNMOSTランジスタTr5, Tr6、並びに、入力回路側のPMOSTランジスタTr4, Tr5及びNMOSTランジスタTr7, Tr8を、ソース

及びドレインとしての不純物拡散層106上に、当該不純物拡散層106とコンタクトホール108周辺にサリサイド層110を形成させると共に、当該コンタクトホール108からゲート112までの間にサリサイド層非形成領域114を形成させた構成としたので、静電気サージが入力回路側のNMOSトランジスタTr7又はTr8へと伝播し難くなり、NMOSトランジスタTr7又はTr8のゲート酸化膜破壊を防止できる。

【0027】

本実施例では、入力回路側のNMOSトランジスタTr7又はTr8のゲートとソース間の電位差がゲート酸化膜の絶縁破壊電圧に到達するよりも先に、保護トランジスタTr10と保護トランジスタTr9を経由してサージ電流を電源VDD-Aから接地端子GDN-Bに流すことができ、NMOSトランジスタTr7又はTr8のゲート酸化膜破壊をより確実に防止できる。また、接地端子GND-Aから電源VDD-Bに向けて静電気サージが抜けるケースでも、保護トランジスタTr9と保護トランジスタTr11を介して電気サージを流すことができるので、NMOSトランジスタTr7又はTr8のゲート酸化膜破壊を防止できる。

【0028】

これは、静電気サージを素早く伝える必要がある保護トランジスタTr9、Tr10、Tr11と、静電気サージを伝え難いのが望ましいトランジスタTr1～Tr8とを、何れもサリサイド層を部分的に除去した構造にしたため、同じ構造であれば、静電気サージ電流の流れ易さは、トランジスタのゲート幅に比例するので、静電気サージ電流を流さないのが望ましいトランジスタTr1～Tr8のゲート幅を回路動作上必要な最小値に設定し、静電気サージ電流を流すのが望ましいトランジスタTr9～Tr11を、保護対象であるトランジスタTr7及びTr8のゲート酸化膜が破壊されないうちにサージ電流を素早く流しきる最適値に設定できるためである。

【0029】

また、本実施形態では、動作回路に静電気サージを伝え難い構成としたため、出力回路と入力回路との間（トランジスタTr2、Tr6のドレインとトランジ

スタTr 7のゲートとの接続間)に設けられる抵抗(図示せず)も低減させることができ、半導体装置の小型化が可能となる。

【0030】

(第2の実施の形態)

図4は、本発明の実施の形態に係る半導体装置のレベルシフト回路を示す回路図である。

【0031】

本実施形態では、上記第1の実施形態における出力回路側のPMOSトランジスタTr 1, Tr 2をそれぞれ2段、即ち直列に接続したPMOSトランジスタTr 1 a, Tr 1 bとPMOSトランジスタTr 2 a, Tr 2 bで構成し、出力回路側のNMOSトランジスタTr 5, Tr 6をそれぞれ2段、即ち直列に接続したNMOSトランジスタTr 5 a, Tr 5 bとNMOSトランジスタTr 6 a, Tr 6 bで構成し、入力回路側のPMOSトランジスタTr 3, Tr 4をそれぞれ2段、即ち直列に接続したPMOSトランジスタTr 3 a, Tr 3 bとPMOSトランジスタTr 4 a, Tr 4 bで構成し、入力回路側のNMOSトランジスタTr 7, Tr 8をそれぞれ2段、即ち直列に接続したNMOSトランジスタTr 7 a, Tr 7 bとNMOSトランジスタTr 8 a, Tr 8 bで構成する。

【0032】

そして、トランジスタTr 1 aとTr 1 b、トランジスタTr 2 aとTr 2 b、トランジスタTr 3 aとTr 3 b、トランジスタTr 4 aとTr 4 b、トランジスタTr 5 aとTr 5 b、トランジスタTr 6 aとTr 6 b、トランジスタTr 7 aとTr 7 b、トランジスタTr 8 aとTr 8 bで構成される一対のトランジスタのうちの、一方のトランジスタを、図2に示すサリサイド層非形成領域を設けた構成のトランジスタを使用し、他方のトランジスタを、図3に示す全面にサリサイド層を形成した構成のトランジスタを使用する。これ以外は、上記第1の実施形態と同様である。なお、1対のトランジスタの両方が、図2に示すサリサイド層非形成領域を設けた構成のトランジスタを使用した形態でもよい。

【0033】

本実施形態では、実動作回路(出力回路、入力回路)側のトランジスタの段数

を2倍に増やしたので、より確実に静電気サージが伝わり難くなる構成となり、出力回路側のトランジスタTr7a, Tr7b及びトランジスタTr8a, Tr8bのゲート酸化膜破壊を防止できる。

【0034】

このため、本実施例では、静電気サージを素早く伝えることが望まれる保護トランジスタTr9, Tr10, Tr11の構成はそのまま、静電気サージを伝え難いのが望ましいトランジスタTr1~Tr8を、それぞれ2段のトランジスタで構成し、より一層サージ電流を流れ難くしたので、保護トランジスタTr9と保護トランジスタTr10又は保護トランジスタTr9と保護トランジスタTr11を介してサージ電流が流れやすくなり、出力回路側のトランジスタTr7a, Tr7b及びトランジスタTr8a, Tr8bのゲート酸化膜をより確実に保護できる。

【0035】

(第3の実施の形態)

図5は、本発明の第3の実施の形態に係る半導体装置のレベルフタル回路を示す回路図である。

【0036】

本実施形態は、上記第2の実施形態における1対のPMOSTランジスタTr1aとTr1b、PMOSTランジスタTr2aとTr2b、PMOSTランジスタTr3aとTr3b、PMOSTランジスタTr4aとTr4b、NMOSTランジスタTr5aとTr5b、NMOSTランジスタTr6aとTr6b、NMOSTランジスタTr7aとTr7b、NMOSTランジスタTr8aとTr8bのうち、図2に示すサリサイド層非形成領域を設けた構成のトランジスタのゲートを、それぞれ電源線3, 4或いは接地線1a, 2aに常時オン状態になる電位となるように接続した構成である。それ以外は、第2の実施形態と同様である。

【0037】

本実施形態では、第2の実施形態において同一ノードに接続していた1対のトランジスタのうち、図2に示すサリサイド層非形成領域を設けた構成のトランジ

スタのゲートを、常時オン状態となる電位に接続したので、出力回路側の駆動力を減らす、即ち、出力トランジスタ（トランジスタTr1b, Tr2b, Tr5a, Tr6a）のゲート幅を削減でき、入力回路側では、ゲート酸化膜破壊を起こす危険のあるNMOSトランジスタのゲート幅を第2の実施形態よりも減らすことができる。これは、第2の実施形態では、NMOSトランジスタTr7a、Tr7b、及びNMOSトランジスタTr8aとTr8bのすべてが出力回路側の信号を受け取る構成、即ち、これら全てのトランジスタがゲート酸化膜破壊を起こす対象だったのに対し、本実施形態ではトランジスタTr7bとTr8bのゲートを常時オン状態になるような接続に変更したので、これらのトランジスタはゲート酸化膜破壊を起こさなくなり、残りのトランジスタTr7aとTr8aだけがゲート酸化膜破壊を起こす対象なので、ゲート酸化膜破壊を起こす危険性が減るためである。

【0038】

また、入力回路側のPMOSトランジスタTr3aとTr3b、PMOSトランジスタTr4aとTr4bについても、一対のトランジスタの片方だけを駆動すればよいので、NMOS出力トランジスタ（NMOSトランジスタTr7a, Tr8a）のゲート幅をより一層削減できる。

【0039】

また、本実施形態では、1対のトランジスタのうち、高抵抗の図2に示すサリサイド層非形成領域を設けた構成のトランジスタのゲートを常時オン接続する一方で、ゲート電位を変化させて実際に回路動作を行う他方を低抵抗の図3に示す全面にサリサイド層を形成した構成のトランジスタを用いているため、回路設計時に必要なシミュレーションパラメータ（Spice・Parameter）をそのまま使用できると共に、出力回路側のトランジスタTr7a, Tr7b及びトランジスタTr8a, Tr8bのゲート酸化膜破壊防止及び回路動作の高速化（デバイスのクロック周波数の高速化）の両立が実現可能となる。尚、一対のトランジスタの一方を常時オン接続することは、実動作に影響を及ぼさないことは勿論である。

【0040】

(第4の実施の形態)

図6は、本発明の第4の実施の形態に係る半導体装置のレベルシフト回路を示す回路図である。

【0041】

本実施形態は、上記第3の実施形態における1対のトランジスタ $Tr1a$ と $Tr1b$ 、トランジスタ $Tr2a$ と $Tr2b$ 、トランジスタ $Tr3a$ と $Tr3b$ 、トランジスタ $Tr4a$ と $Tr4b$ 、トランジスタ $Tr5a$ と $Tr5b$ 、トランジスタ $Tr6a$ と $Tr6b$ 、トランジスタ $Tr7a$ と $Tr7b$ 、トランジスタ $Tr8a$ と $Tr8b$ を2種類の導電型のトランジスタのペアで構成し（一方をPMOSトランジスタで構成し、他方をNMOSトランジスタで構成する）、回路動作に寄与しない方、即ち駆動させない方のトランジスタを、図2に示すサリサイド層非形成領域を設けた構成とし、このトランジスタのゲートを、それぞれ電源線3, 4或いは接地線1a, 2aに常時オン状態になる電位となるように接続した構成である。それ以外は、第3の実施形態と同様である。

【0042】

本実施形態では、1対のトランジスタをPMOSトランジスタとNMOSトランジスタのペアで構成したので、正極の静電気サージに対してはNMOSトランジスタが逆方向となるため、静電気サージを伝え難くなり、逆に負極の静電気サージに対してはPMOSトランジスタが逆方向となるため静電気サージを伝え難くすることができる。

【0043】

このため、サージ極性によらずに、確実に静電気サージを伝え難くする効果が得られる。例えば、上記第3の実施形態において、2段のPMOSトランジスタ $Tr1a$ と $Tr1b$ は正極の静電気サージが印加されたときには、どちらも順方向で動作するため、トランジスタ $Tr7a$ のゲートへサージ電圧を伝えやすい性質があるが、本実施形態では、トランジスタ $Tr1a$ をNMOSトランジスタで構成したので、正極の静電気サージに対しては逆方向として動作し、トランジスタ $Tr7a$ のゲートへサージ電圧が伝わるのを防止する。負極の静電気サージに対しては、NMOSトランジスタで構成したトランジスタ $Tr1a$ は順方向なの

でサージ電圧を伝え易いが、PMOSトランジスタで構成したトランジスタTr 1 bは逆方向となるので、トランジスタTr 7 aのゲートへサージ電圧が伝わるのを防ぐことができる。このように、本実施形態では、正極／負極両方の静電気サージから、確実にトランジスタTr 7 a、Te 8 aのゲート酸化膜破壊を防止することができる。

【0044】

上記第1から第4の実施形態は、レベルシフタ回路を例に説明したが、複数の電源系が存在し、一方の電源系に属する回路から出力された信号を、異なる電源系に属する回路の入力信号として受け取るインターフェース用トランジスタが含まれている回路には、すべて適用可能である。

【0045】

上記第1から第4の実施形態は、動作回路として出力回路（第1の回路）及び入力回路（第2の回路）を構成するトランジスタとして、図2に示すサリサイド層非形成領域を設けた構成のトランジスタを使用した例を説明したが、出力回路（第1の回路）及び入力回路（第2の回路）のいずれか一方を構成するトランジスタを、図2に示すサリサイド層非形成領域を設けた構成のトランジスタを使用した形態でもよい。

【0046】

上記第2から第4の実施形態では、トランジスタを2段にした構成（即ち2つのトランジスタを直列に接続した構成）を説明したが、3段以上の構成（即ち3つ以上のトランジスタを直列に接続した構成）としてもよい。

【0047】

上記第3及び第4の実施形態における一対のトランジスタは、駆動トランジスタと常時オン状態のトランジスタの位置（図5及び図6における上下の配置）を入れ替えた構成としてもよい。

【0048】

上記第1から第4の実施形態を、複数組み合わせることも可能である。

【0049】

【発明の効果】

以上、本発明によれば、複数の電源系統を有する半導体装置において、一方の電源系に属する回路から出力された信号を、異なる電源系に属する回路の入力信号として受け取る構成の回路のインターフェース用トランジスタのゲート酸化膜の静電気サージによる破壊を防止した半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 第1の実施の形態に係る半導体装置を構成するレベルシフト回路を示す回路図である。

【図2】 第1の実施の形態に係る半導体装置を構成するレベルシフト回路におけるトランジスタを示す平面図である。

【図3】 第1の実施の形態に係る半導体装置のレベルシフト回路における他のトランジスタを示す平面図である。

【図4】 第2の実施の形態に係る半導体装置を構成するレベルシフト回路を示す回路図である。

【図5】 第3の実施の形態に係る半導体装置を構成するレベルシフト回路を示す回路図である。

【図6】 第4の実施の形態に係る半導体装置を構成するレベルシフト回路を示す回路図である。

【符号の説明】

1 a, 1 b, 2 a, 2 b 接地線
 3, 4 電源線
 106 不純物拡散層
 108 コンタクトホール
 108 当該コンタクトホール
 110 サリサイド層
 112 ゲート
 114 サリサイド層非形成領域
 Tr 1 ~ Tr 2, Tr 5 ~ Tr 6 P / NMOS トランジスタ (第1のトランジスタ)

Tr 3 ~ Tr 4, Tr 7 ~ Tr 8 P / NMOS トランジスタ (第2のトランジスタ)

Tr 9 ~ Tr 11 保護トランジスタ

Tr 20 ~ Tr 21 P / NMOS トランジスタ

D1, D2 接合ダイオード

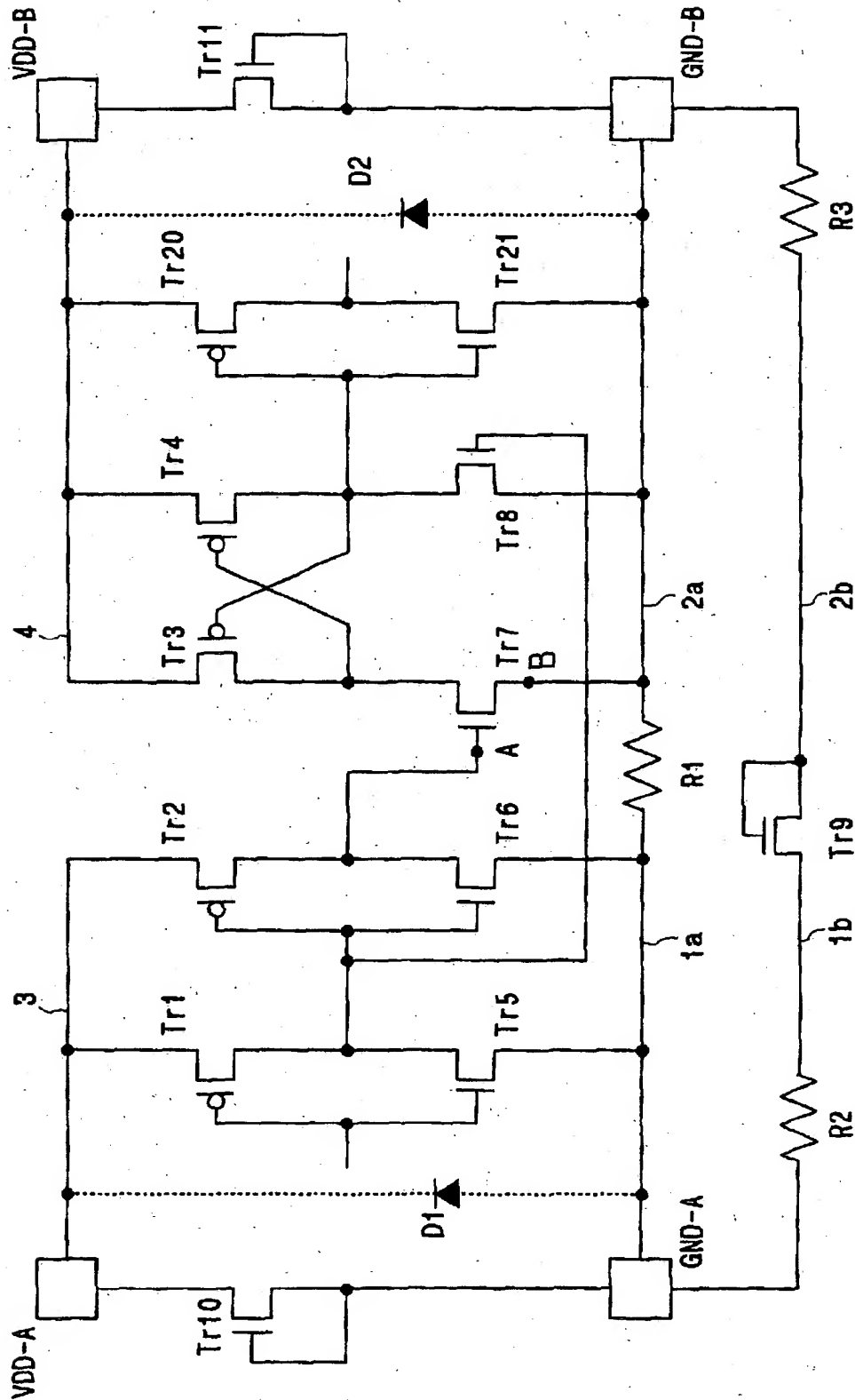
VDD-A, VDD-B 電源

GDN-A, GND-B 接地端子

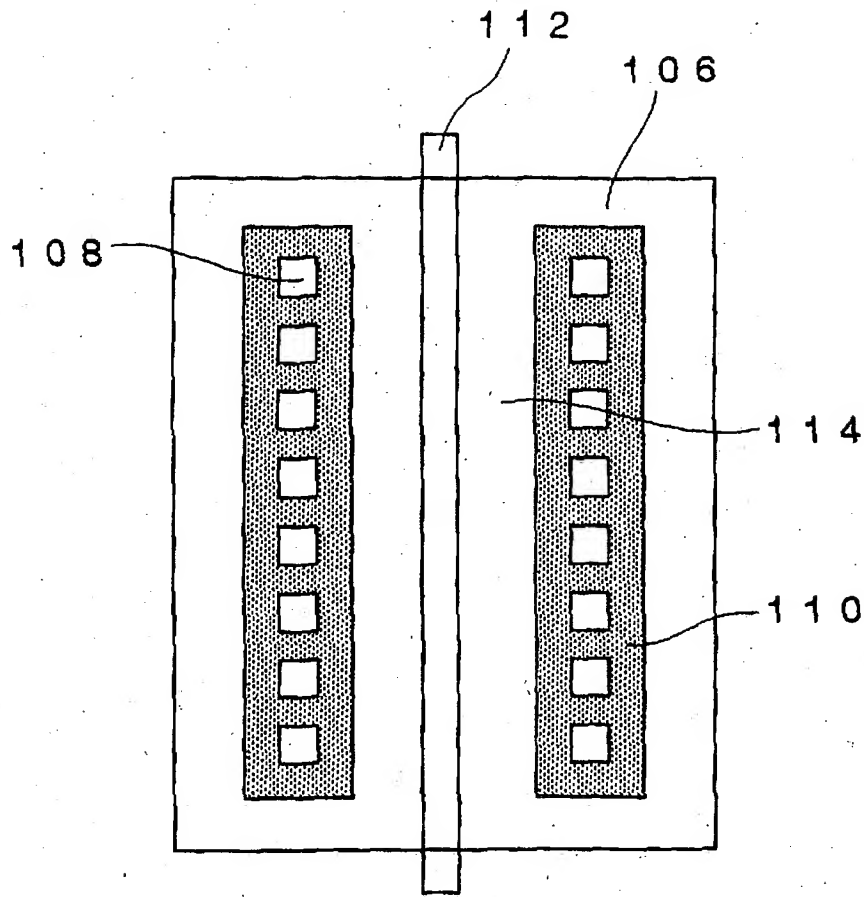
R1 ~ R3 抵抗

【書類名】 図面

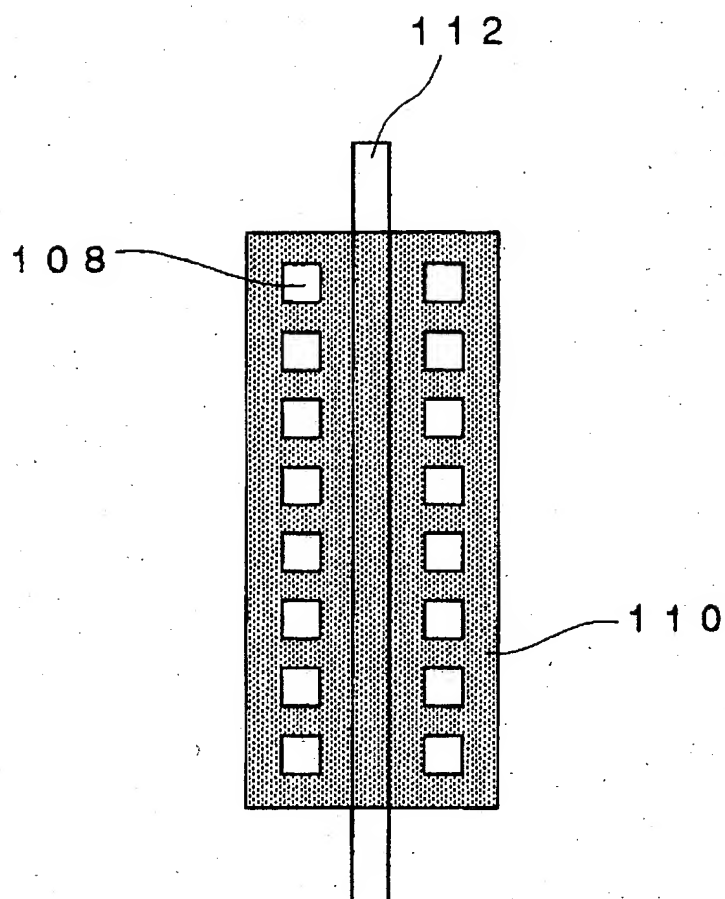
【図1】



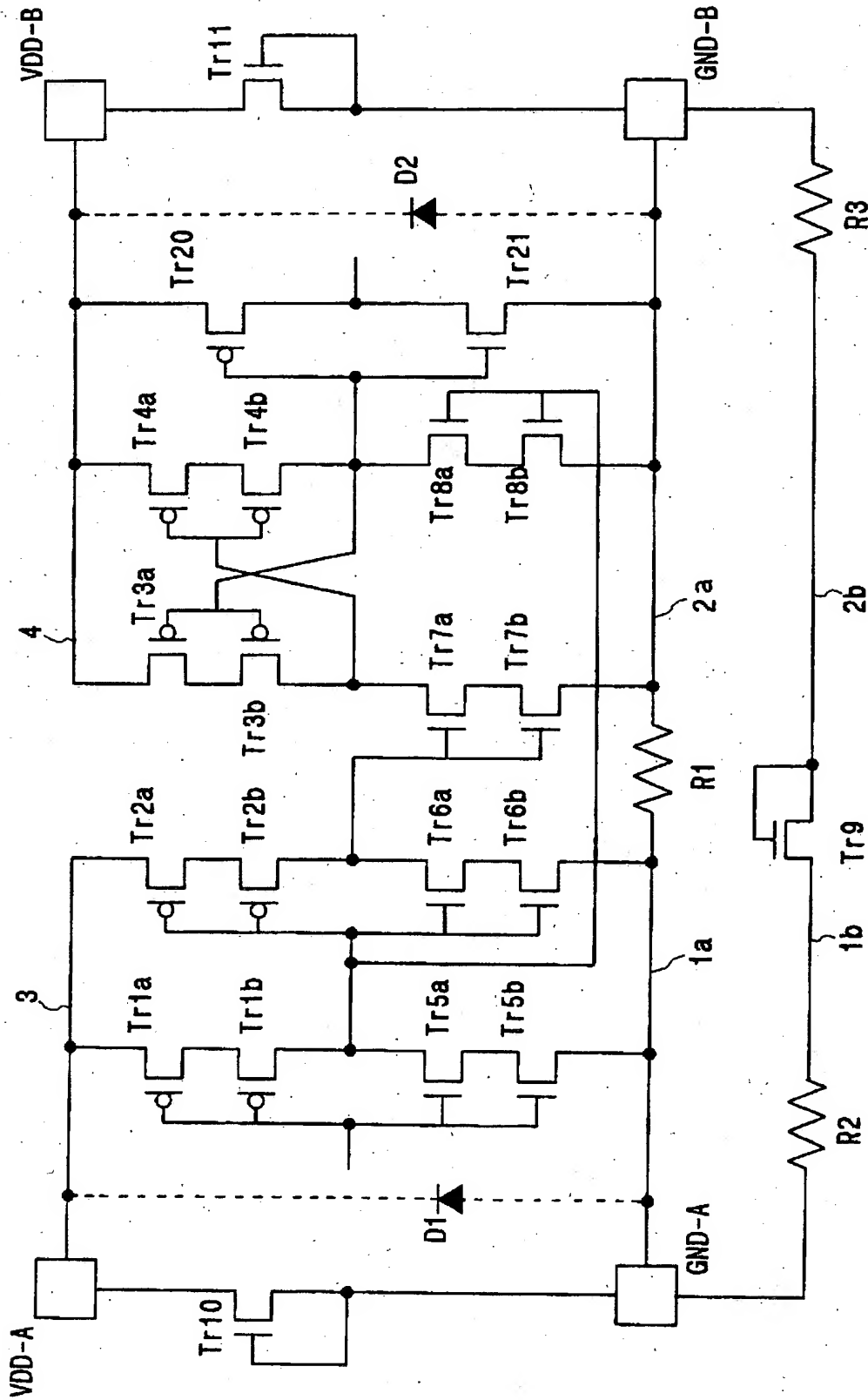
【図2】



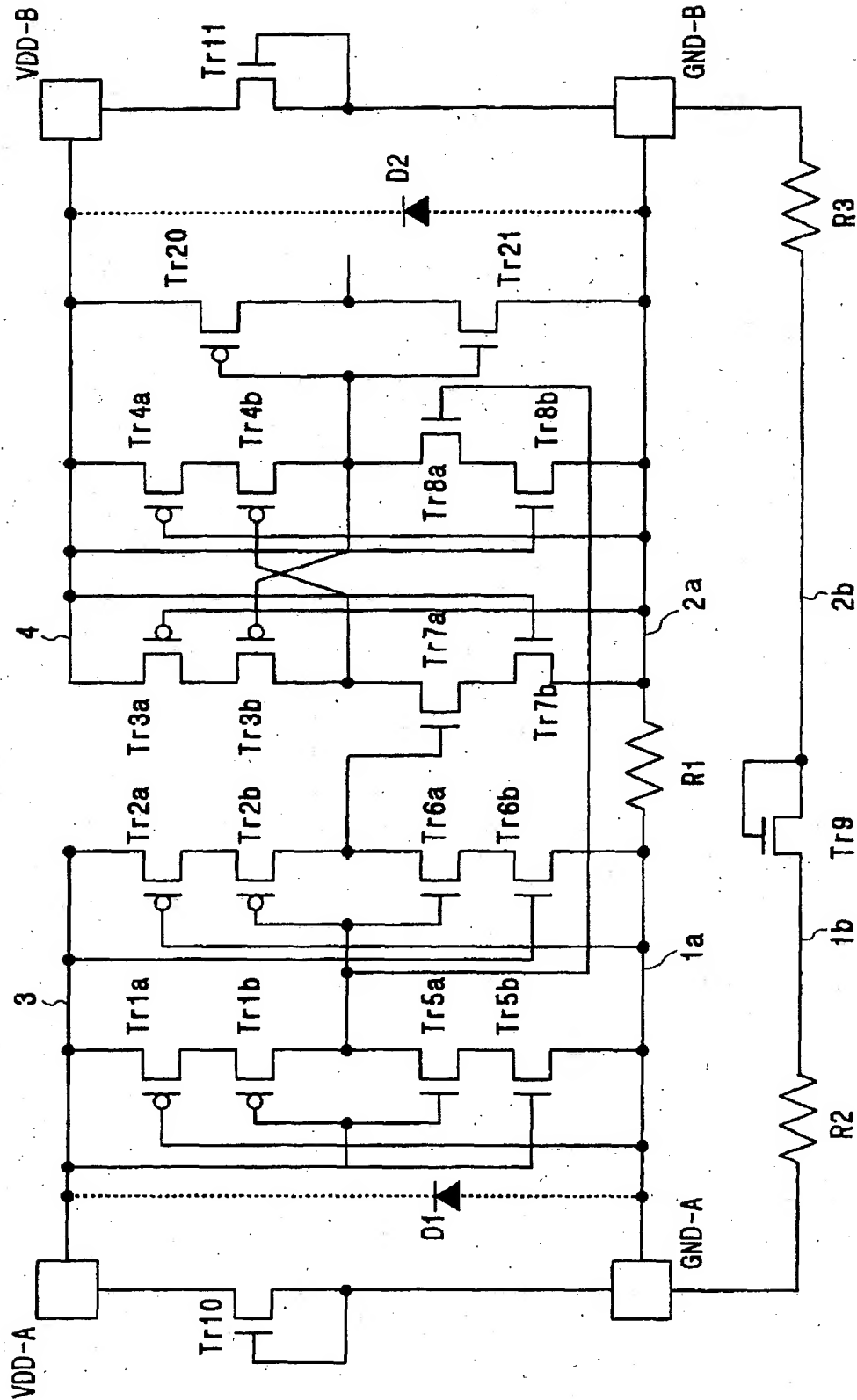
【図3】



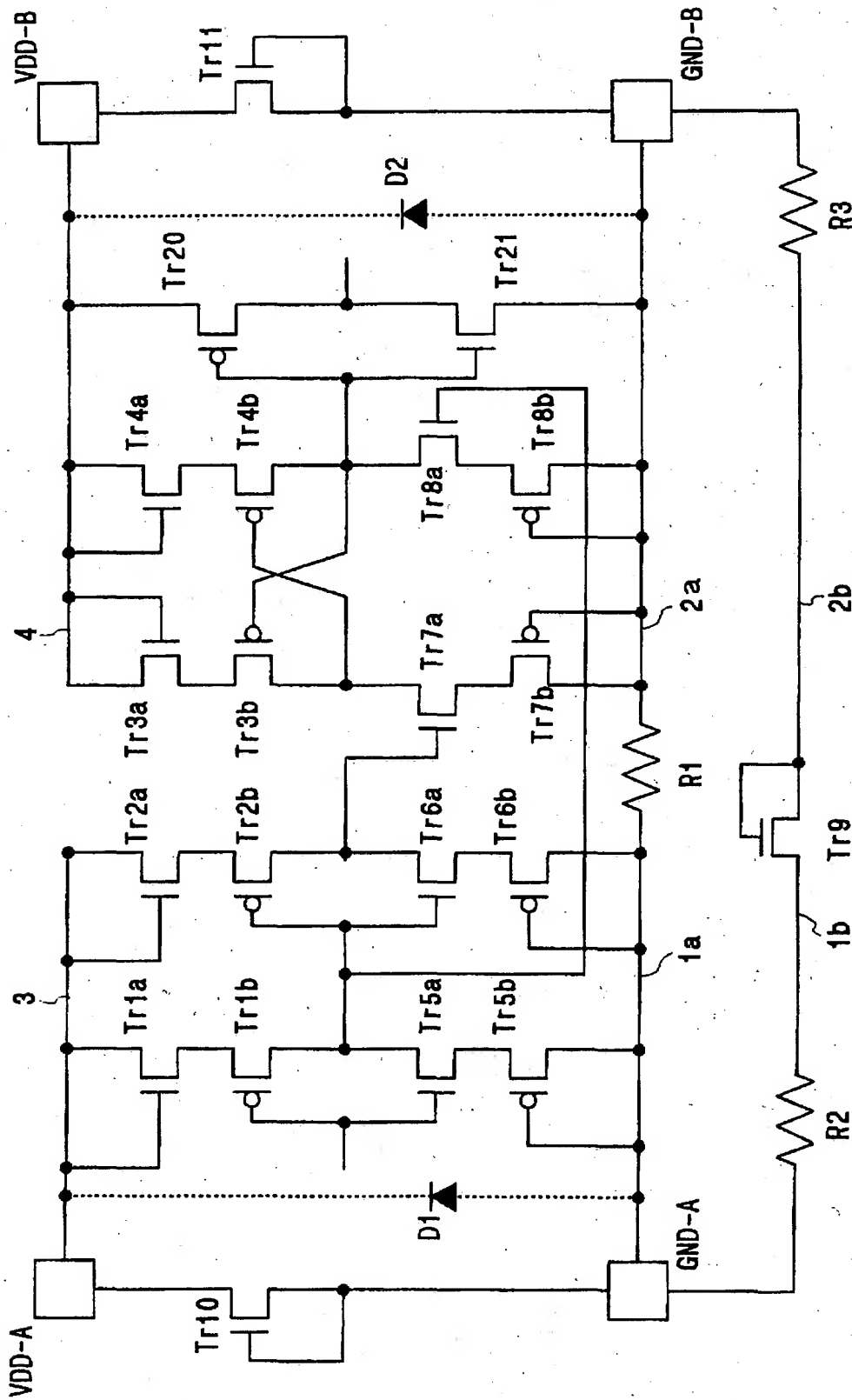
【図 4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】複数の電源系統を有する半導体装置において、一方の電源系に属する回路から出力された信号を、異なる電源系に属する回路の入力信号として受け取る構成の回路のインターフェース用トランジスタのゲート酸化膜の静電気サージによる破壊を防止した半導体装置を提供すること。

【解決手段】例えばレベルシフタ回路などのような、複数の電源系を有し、第1の電源系に属すると共に第2の回路へ信号を出力するための第1のトランジスタを含む第1の回路と、第2の電源系に属すると共に前記第1の電源系に属する前記第1の回路の信号をゲート入力信号として受け取る第2のトランジスタを含む第2の回路と、を含んで構成される半導体装置において、第1のトランジスタ及び／又は第2のトランジスタの構成を、ソース及びドレインとしての不純物拡散層106上に、不純物拡散層106と金属配線とを接続するコンタクトホール108周辺にサリサイド層110が設けられると共に、当該コンタクトホール108からゲート112までの間にサリサイド層非形成領域10が設けられた構成とする。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号

氏 名 沖電気工業株式会社